

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11021200 A**

(43) Date of publication of application: **26.01.99**

(51) Int. Cl

C30B 33/04
H01L 21/322

(21) Application number: **09193204**

(22) Date of filing: **02.07.97**

(71) Applicant: **SUMITOMO METAL IND LTD**

(72) Inventor: **SUEOKA KOJI
KOIKE YASUO
SADAMITSU SHINSUKE**

(54) **SILICON EPITAXIAL WAFER AND ITS PRODUCTION**

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain a wafer which has a specific value or above in the specific resistance value of a substrate, contains a specific value or above of oxygen deposits and obviates the occurrence of a slip by the oxygen deposits when a heat treatment is applied thereon in a device production stage by subjecting a silicon wafer of the specific values or above in the specific resistance value of the substrate and oxygen concn. to a lapping treatment under specific temp. conditions.

SOLUTION: This wafer has the specific resistance value of the substrate of $^{3}10$ m Ω cm, contains $^{3}5 \times 10^4$ pieces/cm 2 of the oxygen deposits and obviates the occurrence of the slip by the oxygen deposits when the heat treatment of $^{3}1,100^{\circ}\text{C}$ is applied thereon in the production stage of the device. The silicon wafer is obtd. by subjecting the silicon wafer having the specific resistance value of the substrate of $^{3}10$ m Ω cm and the oxygen concn. of $^{3}12 \times 10^{17}$ atoms/cm 3 to the lapping heat treatment of an initiation temp. 500 to 600°C , end temp. 800 to 900°C and heating up rate $25^{\circ}\text{C}/\text{min}$, then to epitaxial deposition.

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-21200

(43)公開日 平成11年(1999)1月26日

(51) Int.Cl.^b

C 30 B 33/04
H 01 L 21/322

識別記号

F I

C 30 B 33/04
H 01 L 21/322

Y

審査請求 未請求 請求項の数3 FD (全5頁)

(21)出願番号 特願平9-193204

(22)出願日 平成9年(1997)7月2日

(71)出願人 000205351

住友シチックス株式会社
兵庫県尼崎市東浜町1番地

(72)発明者 末岡 浩治

大阪府大阪市中央区北浜4丁目5番33号
住友金属工業株式会社内

(72)発明者 小池 康夫

佐賀県杵島郡江北町大字上小田2201番地
住友シチックス株式会社内

(72)発明者 定光 信介

佐賀県杵島郡江北町大字上小田2201番地
住友シチックス株式会社内

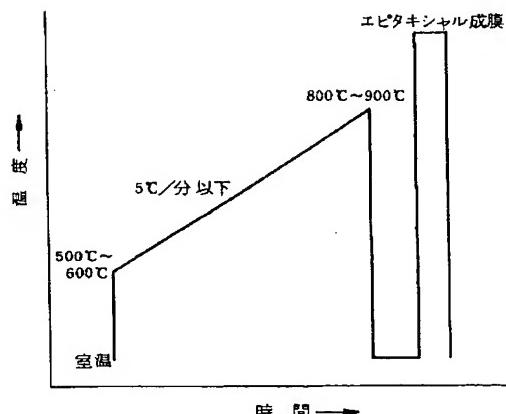
(74)代理人 弁理士 押田 良久

(54)【発明の名称】シリコンエピタキシャルウェーハとその製造方法

(57)【要約】

【課題】デバイス製造工程においてゲッタリングに必要な密度の酸素析出物が基板中に形成され、デバイス製造工程において酸素析出物によるスリップ転位を発生し難いエピタキシャルウェーハとその製造方法の提供。

【解決手段】比抵抗が $10\text{ m}\Omega\text{ cm}$ 以上で酸素濃度が $1.2 \times 10^{17} \text{ atoms/cm}^3$ 以上のシリコンウェーハに対して、開始温度が $500^\circ\text{C} \sim 600^\circ\text{C}$ 、終了温度が $800^\circ\text{C} \sim 900^\circ\text{C}$ で昇温レートが $5^\circ\text{C}/\text{分}$ 以下のランピング熱処理を施した後、エピタキシャル成膜を行う。



1

【特許請求の範囲】

【請求項1】 基板の比抵抗値が $10\text{ m}\Omega\text{ cm}$ 以上で、 5×10^4 個/ cm^2 以上の酸素析出物を含有し、デバイス製造工程で 1100°C 以上の熱処理を加えた際に酸素析出物によるスリップの発生がないことを特徴とするシリコンエピタキシャルウェーハ。

【請求項2】 基板の比抵抗値が $10\text{ m}\Omega\text{ cm}$ 以上、酸素濃度が 12×10^{17} atoms/ cm^3 以上のシリコンウェーハに対して、開始温度が $500^\circ\text{C} \sim 600^\circ\text{C}$ 、終了温度が $800^\circ\text{C} \sim 900^\circ\text{C}$ の範囲内で、昇温レートが $5^\circ\text{C}/\text{分}$ 以下のランピング熱処理を施した後、エピタキシャル成膜を行うことを特徴とするシリコンエピタキシャルウェーハの製造方法。

【請求項3】 請求項2において、熱処理雰囲気が酸素、窒素あるいはアルゴン及びこれらの混合ガス中であるシリコンエピタキシャルウェーハの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体素子基板として使用されるシリコンエピタキシャルウェーハの改良と製造方法に係り、エピタキシャル成膜する前にウェーハに所定のランピング熱処理をすることにより、デバイス製造工程においてゲッタリングに必要な酸素析出物が基板内部に形成され、かつ、高温熱処理でもウェーハの高強度を維持するシリコンエピタキシャルウェーハとその製造方法に関する。

【0002】

【従来の技術】 種々の半導体デバイス製造工程では、高温の熱処理工程でFe, Ni, Cuに代表される重金属汚染があり、これら重金属汚染により、ウェーハ表面近傍に欠陥や電気的な準位が形成されるとデバイスの特性が劣化する。そのため、これらの重金属をウェーハ表面近傍から除去する必要があり、IG (intrinsic gettering) や各種EG (extrinsic gettering) のゲッタリング手法が用いられている。

【0003】 従来 Well Drive工程を有する高温のデバイス製造工程においては、ウェーハ内部にゲッタリングに十分な密度で酸素析出物が形成されるために、NIG (natural IG)、DZ (denuded zone) - IGといったIGを用いたゲッタリングが広く用いられてきた。

【0004】 一方、高集積化に対しては、ウェーハ表面近傍の高品質化が求められている。ミラーポリッシュウェーハと比較して、エピタキシャルウェーハはgrown-in欠陥がエピタキシャル膜中に全く存在しないため、ウェーハ表面近傍は非常に完全性が高くなっているが、エピタキシャルウェーハは従来、コストの問題から使用量は少なかった。

【0005】 しかしながら、さらに集積化が進む次世代

デバイス (64M、256M DRAM世代) ではgrown-in欠陥をウェーハ表面近傍に含まないという仕様の要請があり、エピタキシャルウェーハが本格的に使用される可能性が極めて高くなっている。また、今後主流となる外径12インチウェーハにおいても、エピタキシャルウェーハの使用が最有力視されている。

【0006】 通常のCZ-Siウェーハの高品質化については、これまでDZ-IG処理が広く用いられており、この方法では、ウェーハに 1100°C から 1200°C 程度の高温熱処理を施すことにより、ウェーハ表面近傍の酸素を外方に拡散させて格子間酸素濃度を低下させ、ウェーハ表面近傍に欠陥の少ないDZ層を形成する。さらにその後、 600°C から 900°C 程度の低温熱処理でウェーハ内部に酸素析出核を形成するという、高温と低温の2段熱処理が行なわれている。ただし、DZ-IG処理では、grown-in欠陥がウェーハ表面近傍に存在する。

【0007】

【発明が解決しようとする課題】 一方、基板の比抵抗が $10\text{ m}\Omega\text{ cm}$ 以上のエピタキシャルウェーハでは、エピタキシャル成膜時の高温の熱履歴により酸素析出核の縮小、消滅が起り、ミラーポリッシュウェーハと比較して酸素析出が抑制される。そのため、かなり高酸素濃度の基板を用いても酸素析出物がほとんど形成されず、IG効果が期待できないことが明らかにされている。この課題を解決するため、十分なIG効果を得ることを目的として、エピタキシャル成膜前に熱処理を施す方法が検討されている (H. Tsuya et al., Appl. Phys. Lett. 36 (1980) 658)。

【0008】 すなわち、前記文献では、 620°C から 1150°C の範囲での等温前熱処理が提案されている。この方法では、予め酸素析出核をエピタキシャル成膜時の高温熱履歴で縮小しないサイズまで成長させておくため、デバイス製造工程の熱処理において、酸素析出物が成長して十分なIG効果が得られることが示されている。

【0009】 しかしながら、エピタキシャル成膜前に等温熱処理を施す、この従来方法で製造されたエピタキシャルウェーハは、デバイス製造工程において、酸素析出物がスリップ発生可能なサイズまで成長することがあり、この場合、酸素析出物によるスリップ転位発生の可能性がある (超LSI材料、プロセスの基礎、岸野正則 (1987) p. 87)。

【0010】 なお、特公平4-56800号公報は、低温+高温の2段階熱処理をエピタキシャル成膜前の熱処理条件として提案しているが、2段階熱処理のため高コストであり、かつ高温熱処理でのスリップ転位発生や汚染の問題も懸念されるため、実用には適さないと考えられる。

【0011】この発明は、上述したエピタキシャル成膜前に熱処理を施す方法により製造された、基板の比抵抗が $10\text{ m}\Omega\text{ cm}$ 以上のエピタキシャルウェーハにおいて、デバイス製造工程において酸素析出物によるスリップ転位を発生し難い、すなわち、強度低下が起こり難いエピタキシャルウェーハとその製造方法の提供を目的としている。

【0012】また、この発明は、デバイス製造工程においてゲッタリングに必要な密度の酸素析出物が基板中に形成され、かつ、強度低下が起こり難いシリコンエピタキシャルウェーハとその製造方法を提供することを目的としている。

【0013】

【課題を解決するための手段】発明者らは、デバイス製造工程において十分なIG効果を所有し、かつ高強度を維持するシリコンエピタキシャルウェーハとその製造方法を目的として、エピタキシャル成膜前に等温熱処理あるいはランピング熱処理を施して得られるウェーハの性状を種々検討した結果、ある特定条件でランピング熱処理を行えば、デバイス製造工程において十分なIG効果を所有し、かつ高強度を維持、すなわち 1100°C 以上の熱処理を加えた際に酸素析出物によるスリップの発生がないシリコンエピタキシャルウェーハの提供が可能になることを見出し、この発明を完成した。

【0014】この発明は、基板の比抵抗値が $10\text{ m}\Omega\text{ cm}$ 以上で、 5×10^4 個/ cm^2 以上の酸素析出物を含有し、デバイス製造工程で 1100°C 以上の熱処理を加えた際に酸素析出物によるスリップの発生がないことを特徴とするシリコンエピタキシャルウェーハである。

【0015】また、この発明は、基板の比抵抗値が $10\text{ m}\Omega\text{ cm}$ 以上、酸素濃度が $12 \times 10^{17}\text{ atoms/cm}^3$ 以上のシリコンウェーハに対して、開始温度が $500^{\circ}\text{C} \sim 600^{\circ}\text{C}$ 、終了温度が $800^{\circ}\text{C} \sim 900^{\circ}\text{C}$ の範囲内で、昇温レートが $5^{\circ}\text{C}/\text{分}$ 以下のランピング熱処理を施した後、エピタキシャル成膜を行うことを特徴とするシリコンエピタキシャルウェーハの製造方法である。

【0016】

【発明の実施の形態】発明者らは、基板がCZ-Siウェーハであり、比抵抗が $10\text{ m}\Omega\text{ cm}$ 以上であるシリコンウェーハにおいて、エピタキシャル成膜前に、図1に示すように開始温度が 500°C 以上、 600°C 以下で、昇温レートが $5^{\circ}\text{C}/\text{分}$ 以下、終了温度が 800°C 以上、 900°C 以下の条件でランピング熱処理を、熱処理雰囲気が酸素、窒素あるいはアルゴン及びこれらの混合ガス中で行った後に、エピタキシャル成膜することにより、デバイス製造工程において十分なIG効果が得られる程度の酸素析出物を含有し、かつ高強度を維持できるシリコンエピタキシャルウェーハが得られることを見出した。

【0017】すなわち、発明者らは、比抵抗が $10\text{ m}\Omega$

cm 以上のCZ-Siウェーハにエピタキシャル成膜する前に、等温熱処理あるいはランピング熱処理を行った後、エピタキシャル成膜したエピタキシャルウェーハに對して最高温度が 1200°C のデバイス製造熱処理を施して、形成された酸素析出物の密度を測定した。さらに、エピタキシャルウェーハに熱応力を負荷した後のウェーハのそり量を測定した。

【0018】上記の測定の結果、開始温度が $500^{\circ}\text{C} \sim 600^{\circ}\text{C}$ 、終了温度が $800^{\circ}\text{C} \sim 900^{\circ}\text{C}$ で昇温レートが $5^{\circ}\text{C}/\text{分}$ 以下のランピング熱処理をエピタキシャル成膜前に行うと、比抵抗が $10\text{ m}\Omega\text{ cm}$ 以上のエピタキシャルウェーハでも十分なIG効果を所有し、かつ、デバイス製造工程で 1100°C 以上の熱処理を加えた際に酸素析出物によるスリップの発生がなく、高強度を維持することが明らかになった。

【0019】すなわち、この発明のランピング熱処理条件は、酸素析出核が約 $600 \sim 800^{\circ}\text{C}$ で形成されるため、ランピング開始温度を 600°C 以下、終了温度を 800°C 以上としている。また、ランピング開始温度が 500°C 未満では酸素析出核形成に効果がなく、終了温度が 900°C を越えるとウェーハを炉から取り出す際にスリップ転位が発生する可能性があり、さらに、昇温レートが $5^{\circ}\text{C}/\text{分}$ を越えると、酸素析出核が形成されないため、前記条件とする。

【0020】雰囲気は、 1000°C 以上の高温での酸素雰囲気では、表面酸化膜形成に伴うウェーハ内部への格子間シリコン原子の注入が起こり、酸素析出が非酸化性雰囲気と比較して抑制されるが、 900°C 以下では、酸素雰囲気においても酸化膜の成長はあまり起こらず、酸素、窒素及びアルゴンの各雰囲気において効果に差はなかったことを確認した。従って、酸素、窒素あるいはアルゴン及びこれらの混合ガス雰囲気が好ましい。

【0021】この発明において、基板の比抵抗を $10\text{ m}\Omega\text{ cm}$ 以上とするのは、 $10\text{ m}\Omega\text{ cm}$ 未満では高濃度ドーパントの効果により酸素析出が異常に促進されるため、エピタキシャル成膜時の高温熱履歴の影響が小さく、エピタキシャル成膜前の熱処理なしでデバイス製造熱処理においてIG効果に十分な密度の酸素析出物が形成されるためである（超LSIプロセス制御工学、津屋英樹（1995）p. 222）。

【0022】この発明において、基板の酸素濃度は、 $12 \times 10^{17}\text{ atoms/cm}^3$ 未満では、この発明におけるランピング前熱処理条件でIG効果に十分な 5×10^4 個/ cm^2 以上の酸素析出物が得られないため、 $12 \times 10^{17}\text{ atoms/cm}^3$ 以上とする。

【0023】

【実施例】外径8インチのP型（100）Bドープ、比抵抗値が $10\text{ }\Omega\text{ cm}$ で、初期酸素濃度が $14 \times 10^{17}\text{ atoms/cm}^3$ （old ASTM）のCZ-Siウェーハを用意し、これらのウェーハを2枚ずつのグルー

ブに分け、各グループに表1の5種の熱処理をエピタキシャル成膜前に酸素と窒素の混合ガス雰囲気で行った。
ここで、熱処理DとEがこの発明の実施例であり、熱処理*

*理A～Cが従来例である。

【0024】

【表1】

熱処理	熱処理
A	700°C × 10時間
B	750°C × 5時間
C	750°C × 8時間
D	ランピング熱処理、550°C～850°C、昇温レート2°C
E	ランピング熱処理、550°C～850°C、昇温レート3°C

【0025】次に、これらのウェーハを炉内温度850°Cの枚葉式CVD炉にセットし、150°C/分で1150°Cまで昇温し、HC1でエッティング後、1050°CでSiHCl₃ガスを用い、比抵抗値が10Ωcmで厚さが3μmのエピタキシャル層を成膜し、エピタキシャルウェーハを製造した。

【0026】このエピタキシャルウェーハに、最高温度が1200°Cのデバイス製造熱処理を施した後、各グループから1枚ずつウェーハを抽出して欠陥選択エッティング(Wright etch 5分)を行い、酸素析出物密度を光学顕微鏡で測定した。その結果を図2に示す。

【0027】図2に示す如く、従来例ならびにこの発明の実施例のエピタキシャルウェーハは、デバイス製造工程においてゲッタリングに十分な5×10⁴個/cm²以上の酸素析出物を形成していることがわかる。

【0028】次に、各グループの残りのウェーハに1000°C×30分の熱処理を施した。ここで、炉への投入速度を5cm/分、取出速度を15cm/分とし、ウェーハ間隔を4.4mmとした。この熱処理により、各ウェーハにはほぼ等しい熱応力が負荷される。そのため、熱処理後にウェーハのそり量を測定することでウェーハ間の強度比較が可能となる。

【0029】図3に、ウルトラゲージ9500(日本ADE製)によるウェーハのそり量の測定結果を示す。これより、この発明の実施例のエピタキシャルウェーハのそり量は、従来例のウェーハのそり量より十分に小さい、すなわち、実施例のエピタキシャルウェーハの強度は従来例のエピタキシャルウェーハの強度よりはるかに優れていることがわかる。

【0030】また、表1のA～Eの各熱処理によって製造されたエピタキシャルウェーハに対して、1100°C以上の熱処理を施した後、欠陥選択エッティング(wright etch 5分)を行い、X線回折装置によりスリップ転位の発生状況を調べたところ、従来例(A～C)のエピタキシャルウェーハでは全てスリップ転位密度が1×10⁴/cm²以上観察されたのに対し、この発明(D, E)のエピタキシャルウェーハではスリップ転位の発生が全く観察されなかった。

【0031】

【発明の効果】この発明によるシリコンエピタキシャルウェーハの製造方法は、比抵抗が10mΩcm以上で酸素濃度が1.2×10¹⁷atoms/cm³以上のシリコンウェーハに対して、開始温度が500°C～600°C、終了温度が800°C～900°Cで昇温レートが5°C/分以下のランピング熱処理をエピタキシャル成膜前に行うことを特徴としているため、得られたシリコンエピタキシャルウェーハは、デバイス製造工程でゲッタリングに十分な密度の酸素析出物が形成され、かつ、ウェーハの強度低下が起り難く、1100°C以上の熱処理を加えた際に酸素析出物によるスリップの発生がないという特徴を有している。

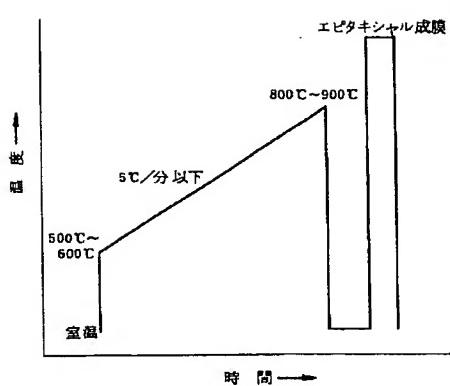
【図面の簡単な説明】

【図1】この発明のシリコンエピタキシャルウェーハの製造方法を示すヒートパターン図である。

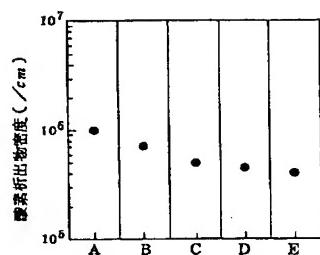
【図2】種々の熱処理を施したエピタキシャルウェーハにおいて、デバイス製造工程後の酸素析出物密度の測定結果を示すグラフである。

【図3】熱応力負荷後のエピタキシャルウェーハのそり量の測定結果を示すグラフである。

【図1】



【図2】



【図3】

